

[print out](#)

Patent/Publication No.	417265	FIG. 2A
Title	Low-cost surface-mount compatible land-grid array (lga) chipscale package (csp) for packaging solder-bumped flip chips	FIG. 2B
Publication Date	2001/01/01	FIG. 2C
Application Date	1999/02/11	FIG. 2D
Application No.	088102172	FIG. 2E
Certification_Number	125500	FIG. 2F
IPC	H01L-023/28	FIG. 2G
Inventor	LAU, JOHN H. US	FIG. 2H
Applicant	HON HAI PRECISION INDUSTRY CO LTD TW	FIG. 2I
Abstract	<p>The present invention discloses a novel electronic package. This semiconductor packaging assembly is for supporting and containing an integrated circuit (IC) chip. The IC chip is supported on a single core double-layer substrate as a flip chip which is solder-bumped with low melting point solder, e.g., a 63 wt%Sn-37Wt%Pb eutectic solder. The flip chip is supported on a single core double-sided FR-4/5 or BT substrate provided with via holes to form via connections interconnecting the solder bumps to land grid array disposed on the bottom surface of the</p>	FIG. 2J

substrate. The substrate is then surface mounted and soldered onto a printed circuit board which again is provided with low temperature 63wt%Sn-37wt%Pb eutectic solder paste for securely attaching the LGA CSP. Simplified processes are employed to assemble the electronic package with high yield processing steps, which can be conveniently carried out. CSP package with high reliability and improved performance characteristics and be achieved with a reduced production cost.

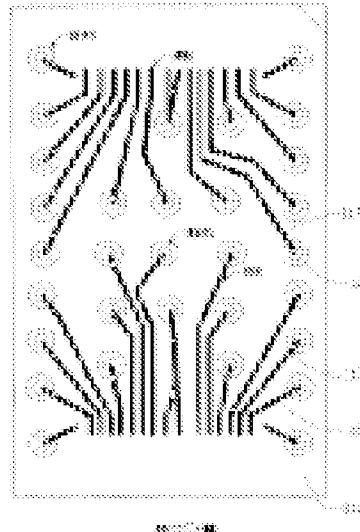
Individual

F

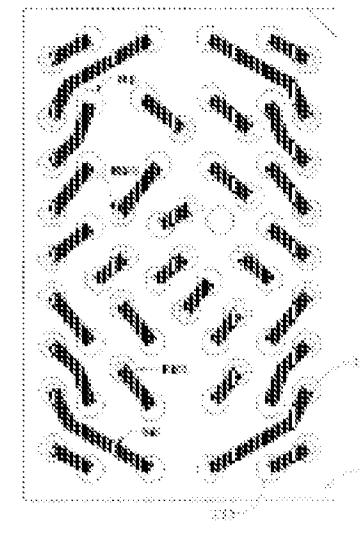
Patent Right Change

Application Number	088102172
Date of Update	20090827
Licensing Note	No
Mortgage Note	No
Transfer Note	No
Succession Note	No
Trust Note	No
Opposition Note	No
Invalidation Note	No
Cessation Note	20040101
Revocation Note	
Issue date of patent right	20010101
Patent expiry date	20190210
Maintenance fee due	20031231
Years of annuity paid	003

413284



413285



* * * * *

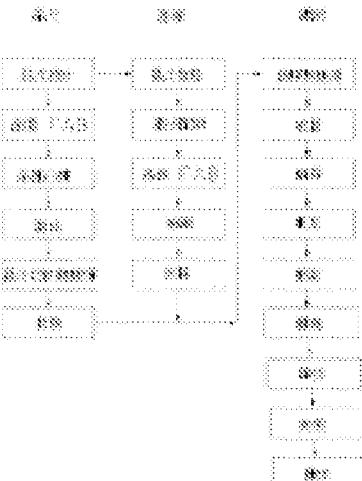


* * * * *



* * * * *

* * * * *



* * * * *

公告本

申請日期：88.2.11

案號：88102172

類別：H01L 23/28

(以上各欄由本局填註)

417265

發明專利說明書

一、 發明名稱	中文	晶片封裝總成
	英文	LOW-COST SURFACE-MOUNT COMPATIBLE LAND-GRID ARRAY (LGA) CHIP SCALE PACKAGE (CSP) FOR PACKAGING SOLDER-BUMPED FLIP CHIPS
二、 發明人	姓名 (中文)	1. 劉漢誠
	姓名 (英文)	1. JOHN H. LAU
	國籍	1. 美國
	住、居所	1. 美國加州婆羅亞突市鈎威爾街961號
三、 申請人	姓名 (名稱) (中文)	1. 鴻海精密工業股份有限公司
	姓名 (名稱) (英文)	1. HON HAI PRECISION INDUSTRY CO., LTD.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣土城市中山路66號
代表人 姓名 (中文)	1. 郭台銘	
代表人 姓名 (英文)	1.	



本案已向

國(地區)申請專利

美國 US

申請日期

1998/02/11 60/074, 418

案號

主張優先權

有

本
案
優
先
權
申
請
文
件
不
予
受
理。
註
記

有關微生物已寄存於

寄存日期

寄存號碼

無

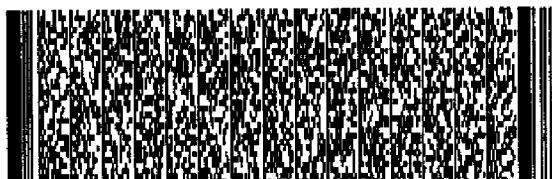


四、中文發明摘要 (發明之名稱：晶片封裝總成)

本發明係有關一種新型電子封裝，尤指用於支撐及容置積體電路晶片之半導體封裝總成，該積體電路晶片以覆晶方式固持於單芯雙層基板上且藉由低熔點焊接劑如重量百分比組成為63%錫及37%鉛的共熔焊接劑相焊接，該覆晶固持於單芯雙面環氧樹脂(FR-4/5)或BT樹脂基板上，並提供一貫穿孔而於焊接凸塊及基板後面設置之墊片格狀陣列間形成導通連接點，基板藉由表面黏著方式焊接於印刷電路板上，該電路板可提供如重量百分比組成為63%錫及37%鉛的低熔點共熔焊接劑而黏著墊片格狀陣列晶片，該電子封裝總成由於採用了簡化製程而使得製造步驟更具效率易於實行，且可以較低的成本得到較高的可靠性及工件性能。

英文發明摘要 (發明之名稱：LOW-COST SURFACE-MOUNT COMPATIBLE LAND-GRID ARRAY (LGA) CHIP SCALE PACKAGE (CSP) FOR PACKAGING SOLDER-BUMPED FLIP CHIPS)

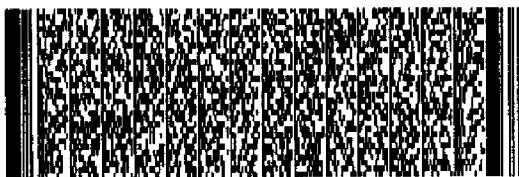
The present invention discloses a novel electronic package. This semiconductor packaging assembly is for supporting and containing an integrated circuit (IC) chip. The IC chip is supported on a single core double-layer substrate as a flip chip which is solder-bumped with low melting point solder, e.g., a 63wt%Sn-37wt%Pb eutectic solder. The flip chip is supported on a single core double-sided FR-4/5 or BT substrate provided



四、中文發明摘要 (發明之名稱：晶片封裝總成)

英文發明摘要 (發明之名稱：LOW-COST SURFACE-MOUNT COMPATIBLE LAND-GRID ARRAY (LGA) CHIP SCALE PACKAGE (CSP) FOR PACKAGING SOLDER-BUMPED FLIP CHIPS)

with via holes to form via connections interconnecting the solder bumps to land grid array disposed on the bottom surface of the substrate. The substrate is then surface mounted and soldered onto a printed circuit board which again is provided with low temperature 63wt%Sn-37wt%Pb eutectic solder paste for securely attaching the LGA CSP. Simplified processes are employed to assemble the electronic package with high yield



四、中文發明摘要 (發明之名稱：晶片封裝總成)

英文發明摘要 (發明之名稱：LOW-COST SURFACE-MOUNT COMPATIBLE LAND-GRID ARRAY (LGA) CHIP SCALE PACKAGE (CSP) FOR PACKAGING SOLDER-BUMPED FLIP CHIPS)

processing steps, which can be conveniently carried out. CSP package with high reliability and improved performance characteristics and be achieved with a reduced production cost.



五、發明說明 (1)

【發明領域】

本發明涉及一種電子封裝，尤指一種用於半導體記憶裝置及應用規格積體電路(ASIC)之新式封裝總成，其將覆晶封裝於低成本之墊片格狀陣列晶片模組上，該低成本封裝無需要求封裝基板上有焊接球，從而可減少電子封裝的重量、體積及外形高度，並得到較好的電氣及熱膨脹性能，又，該電子封裝由於採用了簡化且高效率的製程而得以降低成本。

【發明背景】

在電子封裝工業中，晶片級封裝具有許多優點，其不僅僅包括降低體積、重量且可得到更可靠的電性連接性能，然而有些困難仍阻礙了晶片級封裝工藝在電路板的應用，其主要的困難係有關於晶片級封裝產品的成本，實際上晶片級封裝總成雖然在製造時採用了簡單的製程而更具成本競爭力，然而其在工業生產中並不成功，所涉及的問題仍是製造設備、材料、生產步驟的效率及製程中的綜合因素，由於上述原因，該晶片級封裝雖然有至少四十種不同的類型，但仍在不斷努力以提高電子封裝工藝的水準，該等晶片級封裝仍然較為昂貴且不易與電路板(PCB)接合，採用簡單製程步驟的低成本晶片級封裝製造而得到高可靠度的晶片封裝仍是一個不易達成的目標。

下面將對電子封裝工藝作更易理解的描述，電子封裝體積縮小的困難在於基板上支撐及容置積體電路裝置的面積需求，因為金屬佈線的分散需要一定的基板面積，該等

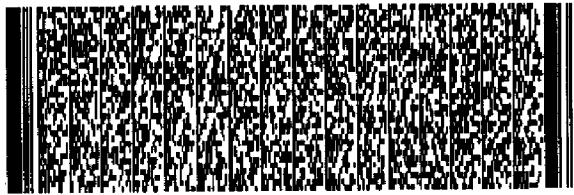
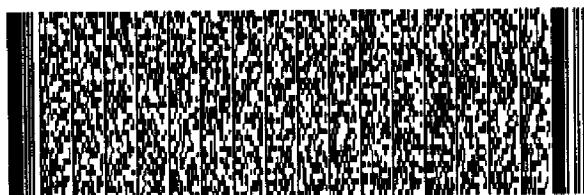


五、發明說明 (2)

金屬佈線需朝向基板的周界散開於下二級積體電路時與焊接球或接觸片相連接形成外部電路界面，除非採用多層來降低表面面積，否則上述面積可達晶片面積的8至15倍，該散開佈線的面積需要常抵消了以較小的線寬而增加電路密度所節省的空間。

典型的現代半導體封裝包括組接有積體電路晶片的基板，基板上表面鄰接晶片的面積大於自晶片裝置重新分佈或扇形散開輸入及輸出信號所用的面積，基板可以是金屬如銅一鉛框架、碾壓環氧玻璃或陶瓷片，其常用聚合密封劑或塑膠成型混合物來密封裝置，當時鐘頻率達到數百兆赫甚至更高時，訊號重新分佈的速度受到封裝結構的影響而成為裝置性能的設計限制因素，習知的電子線路及封裝工藝已不能適應訊號高速度傳輸的要求，為克服上述缺失得到高速度高性能的裝置，就需要提高電路設計及封裝工藝而使訊號重新分佈的操作能快速可靠地進行。

提高信號自半導體裝置重新分佈的工藝係採用球腳格狀陣列總成封裝，如第一圖所示係習知球腳格狀陣列總成封裝總成10的截面圖，該封狀總成10係形成於多層基板15上，該多層基板15的中部設置有半導體裝置20，複數個用以連接半導體裝置20之接地線、電源線及輸入輸出訊號端子的電線25抵觸於半導體旁側的接合片30上，接合片30之間的距離約8至10條且接合片30間設有3至6條的間隙，對每一接合片30而言，其朝向基板15周緣散開而形成金屬佈線35用以與印刷電路板(PCB)上常用的連接端子的間距相

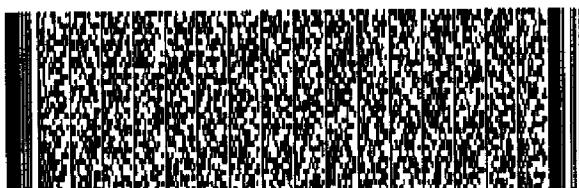


五、發明說明 (3)

配合，電路板上的連接端子用作下一級積體電路與電子裝置如個人電腦的主機板達成連接，該等金屬佈線35係為扇形從而逐漸增大了它們之間的間距，在基板15的外部邊緣上設有複數個通孔40用以連接金屬佈線35至複數個設置於基板15後表面的焊接球45，該等焊接球45的間距增大到約50條，及其排列具有一致的構形而易於與連接端子連接，該等端子設置於印刷電路板上用以與電子裝置相連接。

採用上述方案，基板15之上表面中部鄰接半導體裝置20處存在面積需求，該面積需能提供金屬佈線35以扇形向基板15邊緣散開的延伸空間，因此，這種結構將接合片30設置在鄰近半導體20處，金屬痕跡35向外散開分布而達成訊號重新分布，從而通過外部邊緣的通孔40將訊號傳輸到焊接球45，是以，基板15需具有比半導體裝置20更大的面積。

目前多採用晶片級封裝來減少電子封裝的體積，摩托羅拉(Motorola)公司揭示一種晶片級封裝如第二圖所示，晶片級封裝獨特之處在於使用基板載體或插板而使晶片上的外圍焊墊重新分佈有極小的間距，可小至0.075mm，以及大間距如1.0mm、0.75mm及0.5mm者應用於印刷電路板上的區域排列焊墊。一般來說，晶片級封裝的優點係易於現有晶片的測試及預燒，此外，還易於操作、組裝、再利用、標準化、保護晶片、防止晶片收縮及受到更少的下部組織的限制，如第二圖所示的摩托羅拉的晶片級封裝係一種略大之晶片載體封裝，其可提供上述全部的優點。然而如



五、發明說明 (4)

第二圖所示的略大之晶片載體封裝利用重量百分比組成為95%鉛與5%錫或97%鉛與3%錫焊接凸塊晶片及焊接球基板結構而具有較高的溫度，為達成表面焊接的一致性，含重量百分比為37%鉛與63%錫的焊接層塗佈在基板上，該封裝技術很難降低產品成本，這是因為在晶片級封裝時涉及到處理高溫度的焊接凸塊及焊接球而使得處理步驟複雜化。

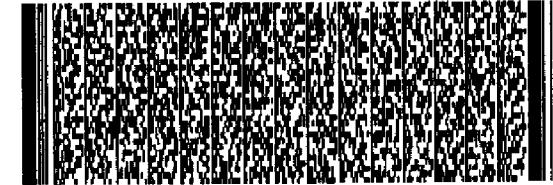
另一種晶片級封裝係由Matsushita (Kunitomo, Y. SMI 實驗室之"陶瓷片格狀陣列基板及散佈凸塊接合工藝製成之晶片級封裝"，一九九五年八月，18至25頁)揭示之墊片格狀陣列封裝，金散佈凸塊接合(SBB)工藝藉由等方性的導電粘結劑將晶片組裝至陶瓷基板上。該過程的成本非常昂貴，又，由於過大的熱膨脹差異而使晶片封裝總成於印刷電路板上的焊接點並不可靠，陶瓷基板的熱膨脹係數為 $6.5 \times 10^{-6} \text{ in/in}^{\circ} \text{C}$ ，而環氧樹脂(FR-4)印刷電路板的膨脹係數為 $18.5 \times 10^{-6} \text{ in/in}^{\circ} \text{C}$ 。

因此，需要提供一種新型且操作步驟高效率化的改良式封裝總成以降低晶片級封裝總成的產品成本。

【發明目的】

本發明目的在於提供一種低成本且表面焊接性一致的墊片狀陣列晶片級封裝總成，用以封裝覆晶且避免習知技術的缺失。

本發明的另一目的在於提供一種表面焊接性相一致的墊片格狀陣列晶片級封裝總成，其採用低熔點的焊接凸塊封裝覆晶，且由於在總成積體晶片時採用了總成簡化製程



五、發明說明 (5)

得以降低成本。

本發明的又一目的在於提供一種表面焊接性相一致的墊片格狀陣列晶片級封裝總成用以封裝覆晶，該墊片格狀陣列用以將基板焊接於印刷電路板上，其無須將焊接球置於基板上且由於採用表面焊接工藝而於焊接操作時可自動對位從而降低了產品成本。

本發明的再一目的在於提供一種表面焊接性相一致的墊片格狀陣列晶片級封裝總成用以封裝覆晶，其採用單核雙層基板支撐積體電路晶片，該製造及封裝處理較為簡化且可提升基板的電氣及熱傳導性能。

【發明特徵】

根據上述目的，本發明包括半導體封裝總成用以支撐及容置積體電路晶片，該積體電路晶片係覆晶且藉由低熔點焊接劑如重量百分比組成為63%錫及37%鉛的共熔焊接劑相焊接，該覆晶固持於單芯雙面環氧樹脂(FR-4/5)或BT樹脂基板上，並提供一貫穿孔而於焊接凸塊及基板後面設置之墊片格狀陣列形成導通連接點，基板藉由表面黏著方式焊接於印刷電路板上，該電路板可提供如重量比組成為63%錫及37%鉛的低熔點共熔焊接劑而黏著墊片格狀陣列晶片，該電子封裝總成由於採用了簡化製程而使得製造步驟更具效率易於實行，且可以較低的成本得到較高的可靠性及工件性能。

【圖式簡單說明】

第一圖係習知電子封裝採用扇形散開工藝以使訊號於基板



五、發明說明 (6)

上重新分佈之線路連接結構之剖視圖。

第二圖係一電子製造公司揭露之另一習知晶片級封裝總成之封裝結構之剖視圖。

第三圖係本發明電子封裝製造結構之剖視圖。

第三A圖係晶片之局部上視圖以顯示出位於晶片外圍的焊接凸塊。

第三B及三C圖係基板之上、下視圖，其中電鍍導通連接點藉由金屬佈線將底面與位於墊片格狀陣列上表面的焊接片間形成連接。

第四A及四B圖係根據本發明連接結構之電子封裝製造產品之兩間隔剖視圖，其中複數個焊接片係與不同結構之焊接光罩配合使用。

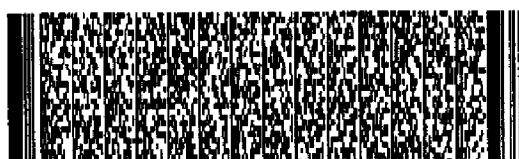
第五圖係本發明電子封裝總成操作步驟之流程圖。

【元件符號說明】

電子封裝	100	積體電路裝置	105
基板	110	焊接凸塊	115
焊墊	115'	導電佈線	117
填充劑	120	電鍍導通連接點	125
墊片格狀陣列	130	焊接貼片	140
焊接墊片	145	印刷電路板	150
焊接光罩	155		

【較佳實施例】

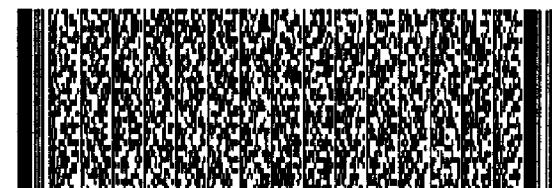
請參閱第三圖所示，係本發明電子封裝100之剖視圖，該電子封裝包括積體電路裝置105，該積體電路裝置105



五、發明說明 (7)

係排列為可焊接覆晶支撐於基板110上，積體電路裝置105之電子線路元件與基板110上表面形成之複數個焊接凸塊相電性連接，該焊接凸塊一般設置在覆晶105的周緣(如第三A圖所示)，請參閱第三B圖所示，每一焊接凸塊具0.09mm×0.09mm的面積，且相對焊接墊片115'設置在支撐基板110上表面，且導電佈線117自每一焊接片成扇形向內延伸至電鍍貫穿孔125，該電鍍貫穿孔伸至基板110(參閱第三C圖所示)之後表面用以與墊片狀陣列相通連。密封劑係設置在填充劑120下方用以將覆晶105密封固持於基板110上，用於與下一級積體電路連接的連接部130係墊片格狀陣列，其細部結構在第四A圖及第四B圖中示出，該等墊片格狀陣列130藉由複數個0.15mm厚的焊接貼片140而焊接抵觸於印刷電路板150上。

上述電子封裝100係利用焊接凸塊之覆晶工藝，尤其應用於低電源及低端子數的晶片，該設計概念係利用環氧樹脂(FR-4/5)或BT樹脂基板而將晶片105上具適當間距的外圍焊墊115重新分佈在墊片格狀陣列130上，該墊片格狀陣列130設置在基板後表面上且藉由電鍍貫穿孔125而具有較大的間距，該設計概念係藉由佈線117自基板110上層設置之外圍焊墊115'向內扇形散開而達成，且電鍍通孔連接點125藉由貫穿孔用以提供與封裝基板110後表面設置之墊片格狀陣列130之焊墊115'的連接。該封裝100具有許多設計優點，亦即，該封裝係墊片格狀陣列封裝，從而可藉由0.15mm厚之焊接貼片140焊接於印刷電路板上，並形成

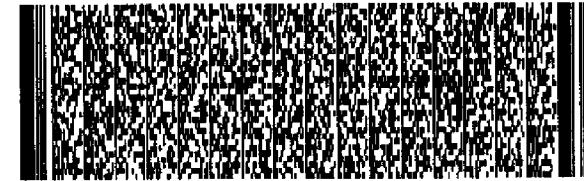


五、發明說明 (8)

0.08mm 高的焊接接點，該封裝的產品成本較低，其結構簡單且提供單芯雙層封裝之基板110，且由於佈線自基板110上表面具適當間距之外圍焊墊向內延伸至晶片105下方之較大區域重新分佈而具有較小的封裝面積，該墊片格狀陣列130之焊接墊片係由銅片沖壓而成且其間距範圍在0.5mm至1.0mm內，該封裝係支撑於基板110上且其面積與積體電路晶片105之面積係為同樣大小，且該封裝可配合表面黏著焊接工藝，由於採用墊片格狀陣列該封裝於焊接於電路板時具自動調整功能，且積體電路晶片105之焊接凸塊受到未充滿密封劑120之保護可靠地接合於基板上，再者，由於基板110(熱膨脹係數為 $17 \times 10^{-6} \text{ in/}^{\circ}\text{C}$)與印刷電路板150(熱膨脹係數為 $18.5 \times 10^{-6} \text{ in/}^{\circ}\text{C}$)間熱膨脹係數相差較小，從而墊片格狀陣列的焊接接點比較可靠。

由於採用焊接凸塊115連接於貫穿基板110之電鍍通孔連接點125上，從而可減少用以間接連接於基板上各焊接球或接觸焊墊的接合線，藉由焊接凸塊115及通孔連接點125而達成直接電性導通，其具有更高的可靠性及電氣工作性能，該通孔連接點125可將積體電路晶片105產生之熱量傳導至基板110再傳導到印刷電路板150上。

請參閱第四A及第四B圖所示係兩種下一級積體連接方法之可替代結構，如而設置於基板110後表面上之墊片格狀陣列130。在第四A圖中，複數個焊接光罩155覆蓋在焊接墊片的邊緣部分，且該焊接光罩155與焊接墊片145間隔一定間距，使用焊接墊片可較焊接球達成更適當的間距，

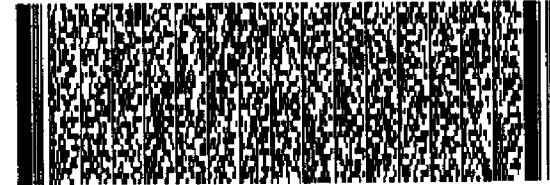
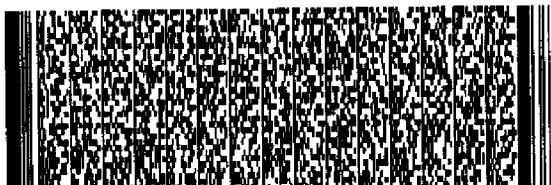


五、發明說明 (9)

由於支撐半導體積體電路晶片105的基板110小型化，而當要求更密集的間距時，將採用焊接光罩而非焊接球的方式提供外部連接點。

相較摩托羅拉的略大之積體電路承載體(SLIIC)，本發明採用低溫之重量百分比組成為63錫及37%鉛的共熔焊接劑，而非高溫之重量百分比組成為95錫及5%鉛或百分比組成為97錫及3%鉛的焊接凸塊，具該焊接凸塊的晶片可方便地藉由最高溫度達230度的熔焊操作而焊接於基板110上，及採用低溫之重量百分比組成為63錫及37%鉛的共熔焊接貼片將基板110表面黏著焊接於印刷電路板上，且塗上一層有機銅的環氧樹脂(FR-4/5)或BT樹脂基板時無需百分比組成為63錫及37%鉛的焊接塗佈。又，如第三圖所示的電子封裝100係無焊接球的墊片格狀陣列，因此，相較摩托羅拉的SLICC封裝而言，該電子封裝100在製造時可降低成本，是以，本發明揭露之電子封裝較為簡化且封裝成本低，高效率的封裝總成過程如第五圖所示之步驟。

根據第三圖所示及上述可知，用於支撐及容置積體電路晶片105之晶片級電子封裝總成100係設置為覆晶，該封裝總成包括一基板110，該基板110具有與積體電路晶片105大體相同之形狀及面積，且具上表面及下表面。該基板設有複數個電鍍導通連接點125，其係由複數個貫穿基板上表面至下表面之貫穿孔內電鍍導電材料而成。該封裝總成還包括複數個焊接凸塊115，該焊接凸塊115用以與上述電鍍通孔連接點電性導通且設置在基板上表面用以直接

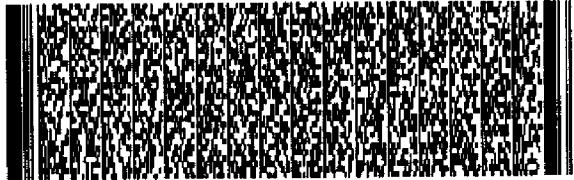
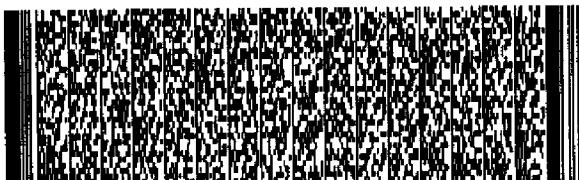


五、發明說明 (10)

接觸於積體電路晶片105之電子線路，該焊接凸塊115係低熔點焊接劑。該封裝總成進一步包括複數個下一級積體連接電路130用以與通孔連接點125電性連接，且其設置在基板後表面上形成墊片格狀陣列用以焊接於印刷電路板150上。具體地說，低熔點焊接劑係重量百分比組成為63錫及37%鉛之共熔焊接劑，墊片格狀陣列設置在基板後表面上設有複數個焊接光罩，該封裝總成進一步包括印刷電路板，該印刷電路板150設有焊接貼片140用以與墊片格狀陣列相焊接，從而使基板穩定地抵觸在印刷電路板150上，且每一焊接片140係由重量百分比組成為63錫及37%鉛的共熔焊接劑組成並設置在印刷電路板150之上表面上。

作為上述的一個例子，下面將描述用於總成及容置以8寸晶圓製成之32根端子同步動態記憶體(SRAM)記憶晶片的封裝，該晶片的尺寸為3.556mmX6.324mm，及焊墊尺寸約為0.09mmX0.09mm，且最小焊墊間距為0.192mm，兩個焊墊用於接地，兩個焊墊用於接電源，該晶片厚度約為0.675mm，利用冶金術得到的鈦及銅藉由電鍍方式接合在8寸晶圓上(上位內存塊)，焊接光罩經蝕刻及散開而形成焊接凸塊線路之後塗佈銅層，焊接凸塊上電鍍有重量百分比組成為63錫及37%鉛的共熔焊接劑，移除剩餘部分且利用氫化過氧化物蝕刻而剝落鈦/銅(TI/CU)，晶圓經過215°C熔焊而產生具光滑圓周面的焊接凸塊。

基於上述晶片設計及工作特性，本發明之主要特點係在於基板支撐晶片，且操作流程簡化易於實行而達到高生



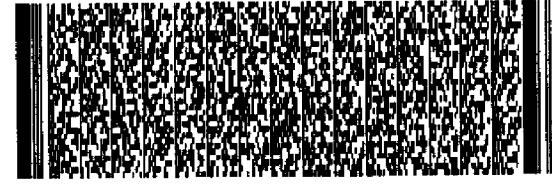
五、發明說明 (11)

產率，是以，本創作用以容置及支撐覆晶之墊片格狀陣列之晶片級封裝能有效降低電子封裝總成之產品成本。

將於1998年3月3日在加利福尼亞Anaheim舉行的Nepcon西方製程討論會出版的論文中對上述每個步驟及其測試結果與性能分析作了更具体的描述，涉及到總成及封裝32端子SRAM處理步驟的論文的副本仍應視為這份臨時申請的一部分。

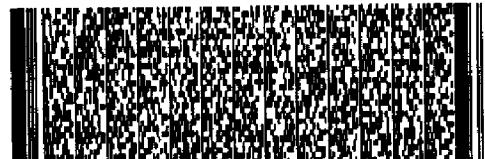
因此，本發明揭露一種表面黏著焊接之墊片格狀陣列晶片級封裝，用以封裝覆晶並克服習知技術的困難，其中具適當間距設置在晶片上之晶片焊墊係由低熔點之焊接凸塊形成，由於在總成晶片時採用了簡化的總成步驟從而降低了成本，且利用墊片格狀陣列將連接器焊接於印刷電路板。該電子封裝無需將焊接球放置在基板上而可降低成本，及採用了表面黏著焊接工藝而於焊接操作時可自動對正，該製造及封裝過程藉由單芯雙層基板支撐晶片，使得製程更具效率同時提高了電性及熱傳導性能。

綜上所述，本發明已合乎專利要件，爰依法提出專利申請。惟以上所揭露者，僅為本發明之較佳實施例而已，自不能以此限定本發明之申請專利範圍，是以，任何人依本發明精神所作之等效變化或修飾者，皆仍屬本發明申請專利範圍所涵蓋之範圍。

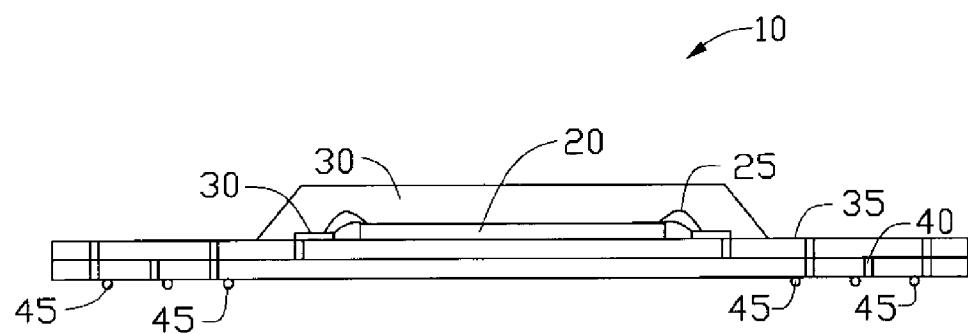


六、申請專利範圍

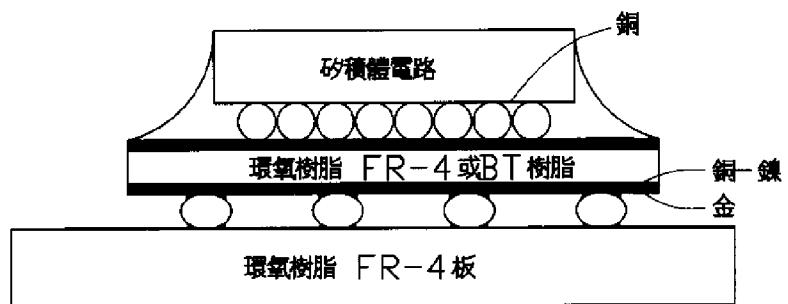
1. 一種晶片級電子封裝總成，用以覆晶方式支撐及容置積體電路晶片，該封裝總成包括：
基板，係具與晶片大體上相同構形及體積，設有上表面及下表面；
該基板進一步設有複數個導通連接點，係貫穿基板上表面及下表面之通孔內鍍導電材料而成；
複數個焊接凸塊電性連接於導通連接點，且設置在基板上表面用以與晶片電路直接抵觸，該焊接凸塊係低熔點焊接劑；
複數個下一級積體連接方法電性連接於導通連接點，且設置在基板後表面上形成墊片格狀陣列用以焊接於印刷電路板上。
2. 如申請專利範圍第1項所述之封裝總成，其中低熔點焊接凸塊係重量百分比組成為63%錫及37%鉛的共熔焊接劑。
3. 如申請專利範圍第1項所述之封裝總成，其中設置於基板之後表面上之墊片格狀陣列總成包括複數焊接光罩。
4. 如申請專利範圍第1項所述之封裝總成，其中印刷電路板相對於墊片格狀陣列進一步設有焊接貼片，用以將基板焊接固持於印刷電路板上。
5. 如申請專利範圍第4項所述之封裝總成，其中印刷電路板之焊接貼片係由重量百分比為63%錫及37%鉛的共熔焊接劑組成且設置於該印刷電路板之上表面上。



417265

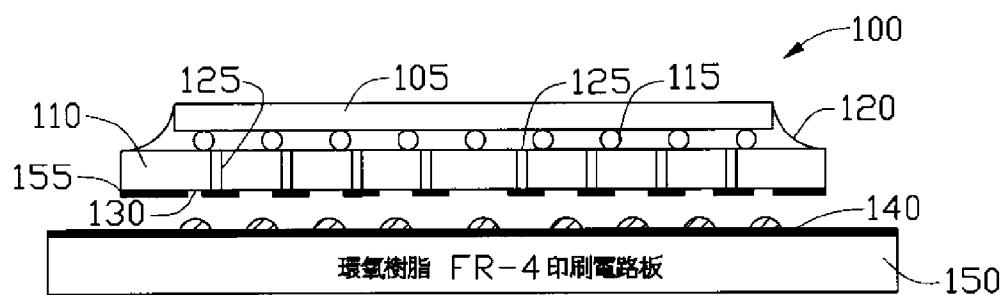


第一圖

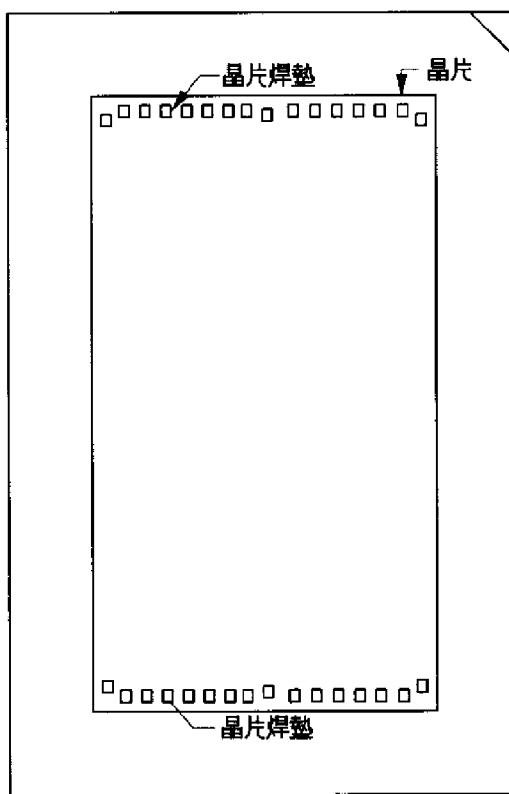


第二圖

417265

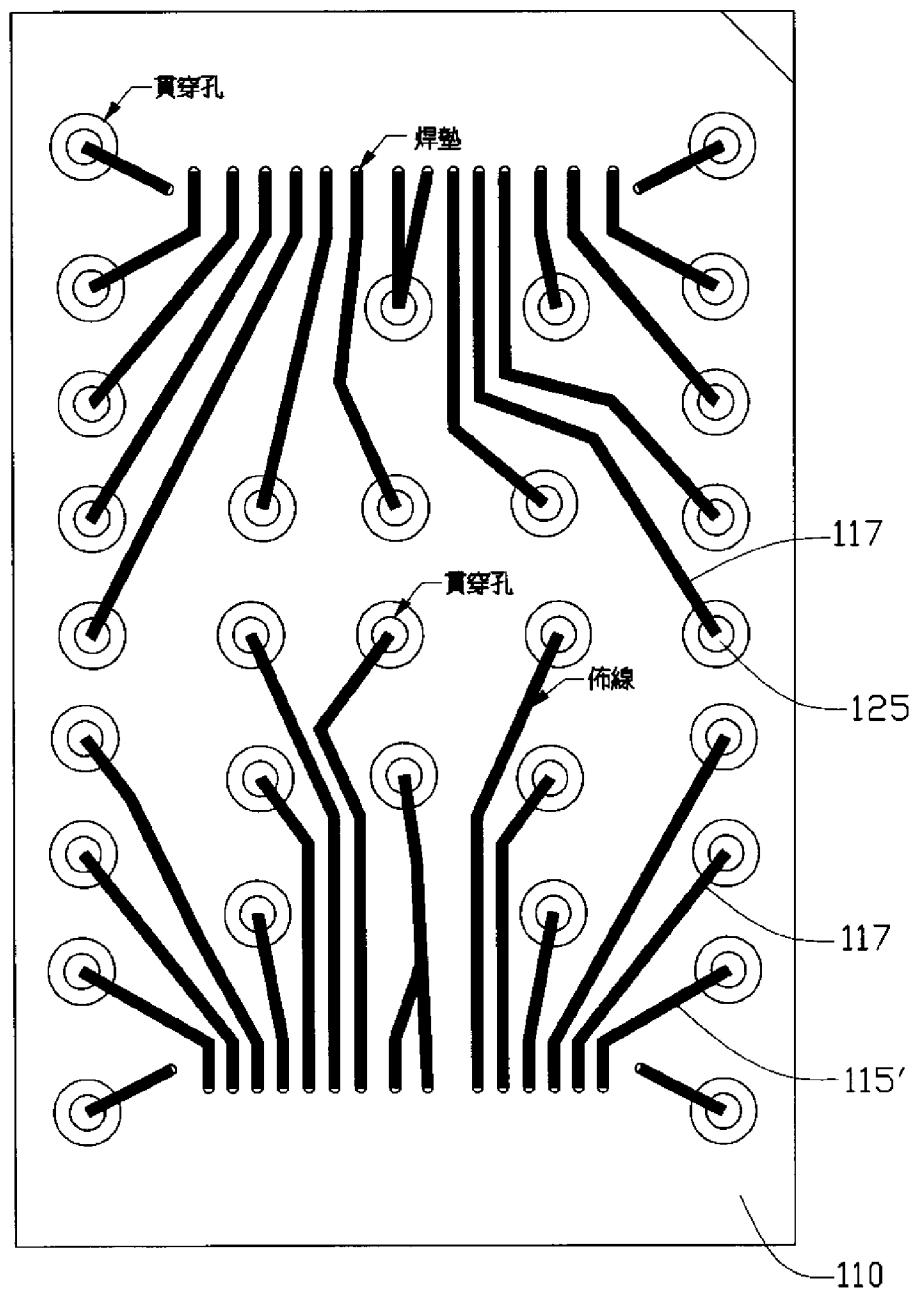


第三圖



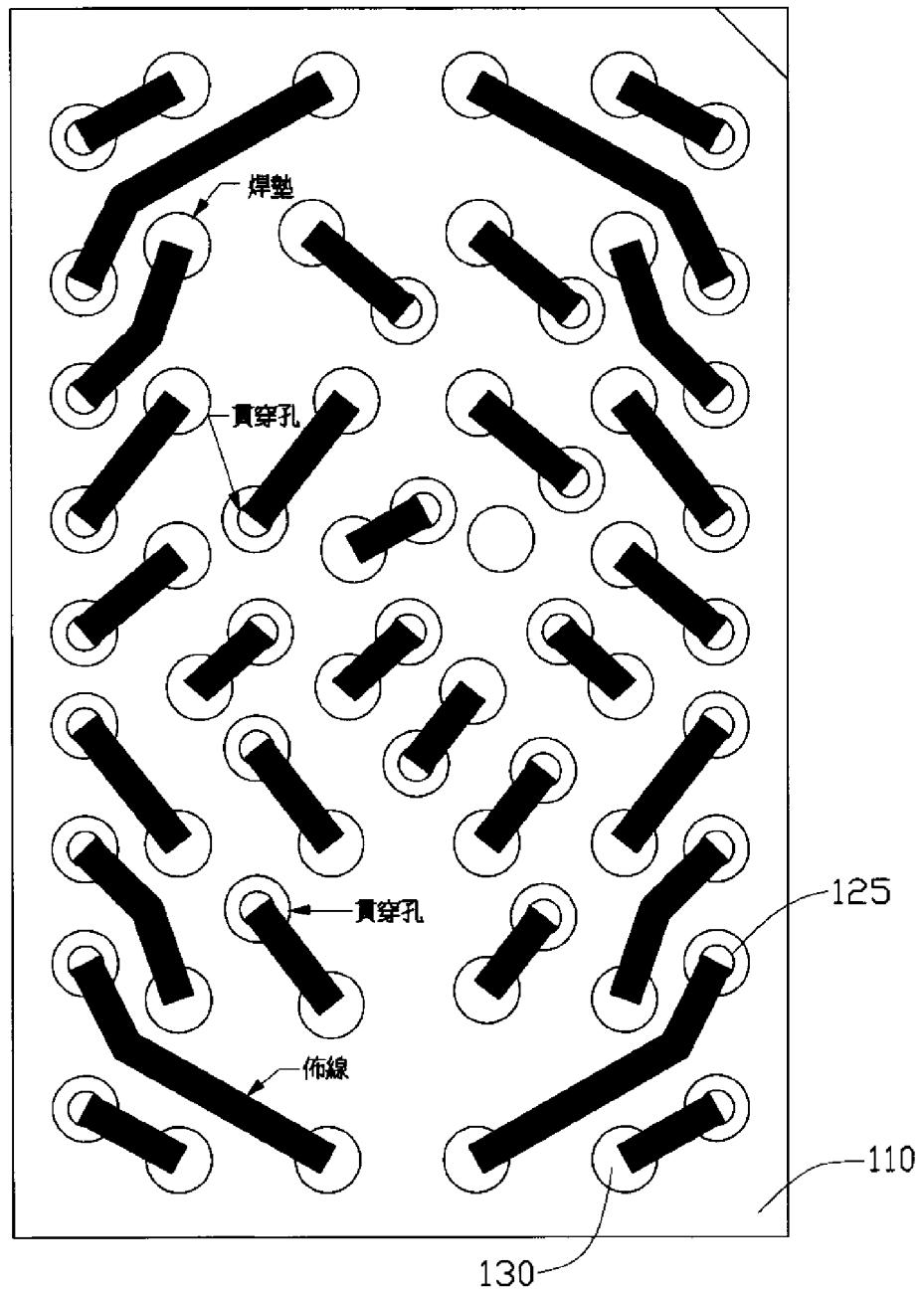
第三△圖

417265



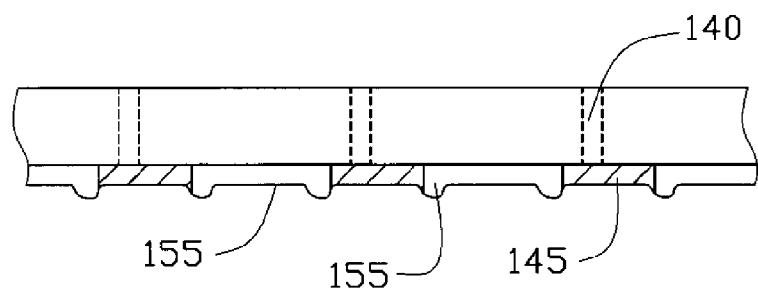
第三B圖

417265

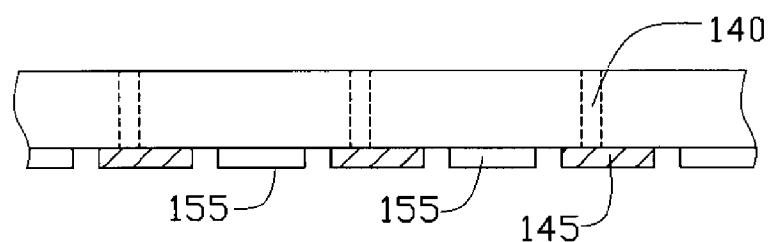


第三C圖

417265

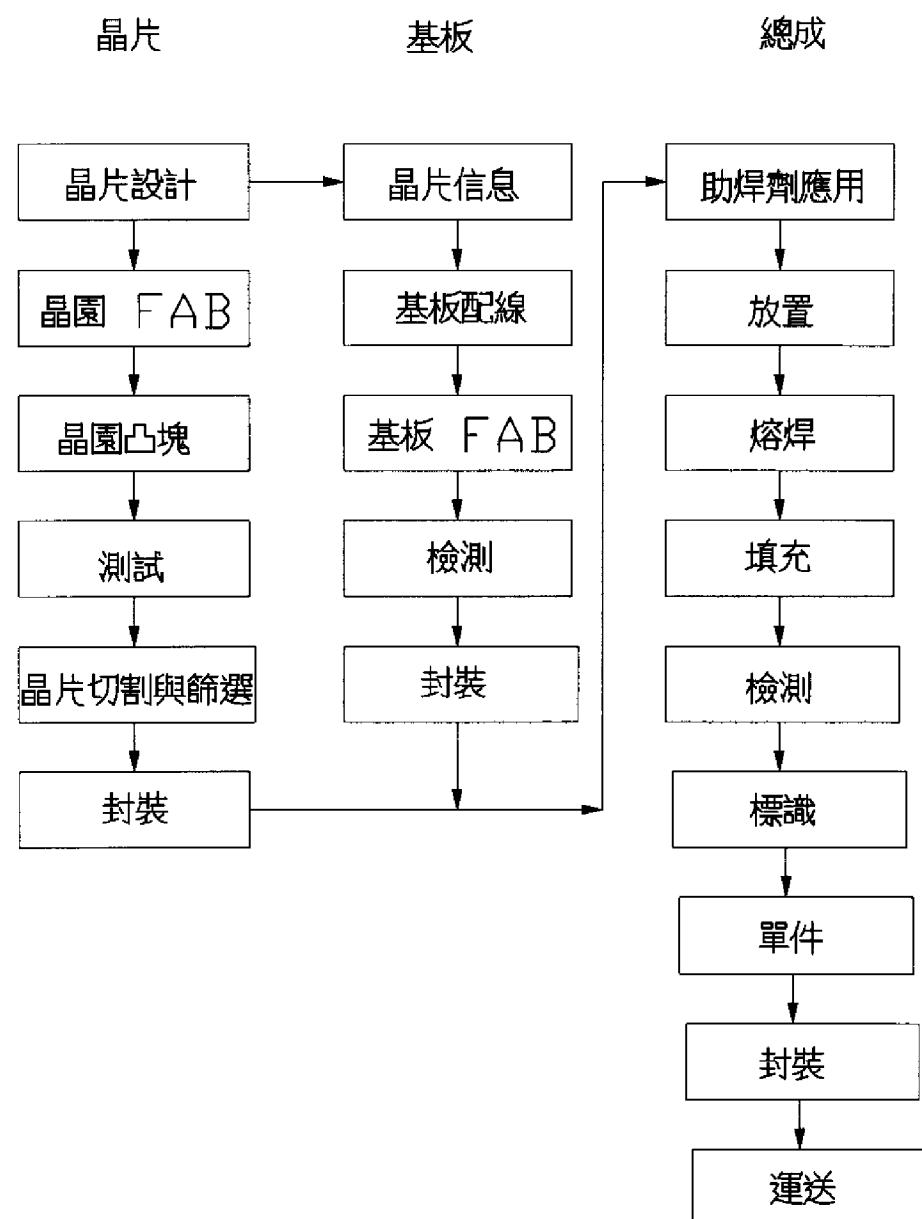


第四A圖



第四B圖

417265



第五圖